

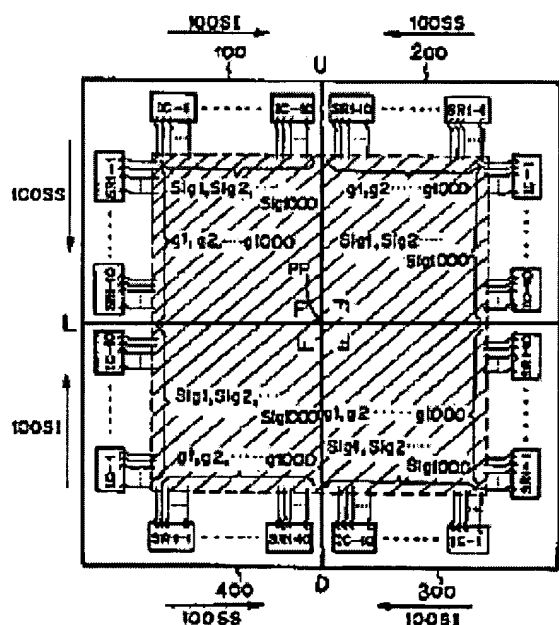
# PHOTOELECTRIC CONVERSION ELEMENT AND IMAGING DEVICE USING THE SAME

**Patent number:** JP9153606  
**Publication date:** 1997-06-10  
**Inventor:** KOBAYASHI ISAO; UMIBE NORIYUKI; TASHIRO KAZUAKI; KAMESHIMA TOSHIO; ENDO TADAO; TAKEDA SHINICHI  
**Applicant:** CANON INC  
**Classification:**  
 - international: H01L27/146; G01T1/20; H01L27/14; H01L31/02; H01L31/10; H04N1/028; H04N5/335  
 - european:  
**Application number:** JP19960235301 19960905  
**Priority number(s):**

## Abstract of JP9153606

**PROBLEM TO BE SOLVED:** To improve yield and reduce cost by arranging and bonding a plurality of substrates on which two-dimensionally arrayed photoelectric conversion elements are mounted in such a manner that the photoelectric conversion elements are flatly adjacent to one another.

**SOLUTION:** Four photoelectric conversion devices 100, 200, 300 and 400 of perfectly the same structure are bonded with the smallest possible gaps between one another, thus constituting one photoelectric conversion device having a large area. In this case, the photoelectric conversion devices are rotated by 90 deg. with respect to one another. At the large area photoelectric conversion device is constituted by bonding the four photoelectric conversion devices 100 to 400 without having gaps, the yield of each of the photoelectric conversion devices is raised. In addition, through scanning circuits SR1-1 to SR1-10 and detection circuit IC-1 to IC-10 are provided on each of the four sides of the photoelectric conversion device having a large area, one type of IC chip each suffices to constitute a drive circuit of the photoelectric conversion device, and the cost of the driving circuit is not increased.



(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-153606

(43)公開日 平成9年(1997)6月10日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/146			H 0 1 L 27/14	C
G 0 1 T 1/20			G 0 1 T 1/20	E
H 0 1 L 27/14			H 0 4 N 1/028	Z
31/02				A
31/10			5/335	Z

審査請求 未請求 請求項の数28 O L (全 14 頁) 最終頁に続く

(21)出願番号 特願平8-235301

(22)出願日 平成8年(1996)9月5日

(31)優先権主張番号 特願平7-227853

(32)優先日 平7(1995)9月5日

(33)優先権主張国 日本 (J P)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 小林 功

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 海部 紀之

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 田代 和昭

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(74)代理人 弁理士 山下 稔平

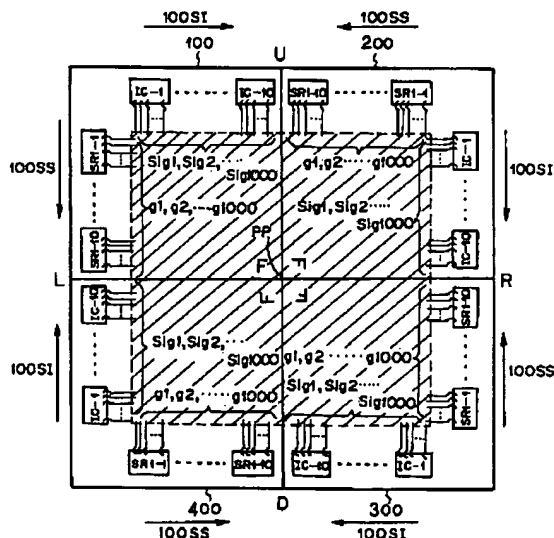
最終頁に続く

(54)【発明の名称】 光電変換装置及びそれを用いた撮像装置

## (57)【要約】

【課題】 大面積の光電変換装置のコストを低減し、検査効率の向上、スループットの向上、貼り合わせにより得られる装置のサイズの種類を増加し、駆動回路の種類が増加がなく、接続を複雑にすることのない光電変換装置を提供する。

【解決手段】 2次元的に配列された光電変換素子を搭載した基板の複数枚100～400を、それぞれの該光電変換素子部が平面的に隣り合うように配列して貼り合わせて構成したことを特徴とする光電変換装置。また、前記基板は、複数の光電変換素子が平面的に配列された光電変換素子部が形成された辺と、該光電変換素子部に接続される回路部が形成された辺とを有し、該基板の複数枚を、それぞれの前記光電変換素子部が平面的に隙間なく隣り合うように配列して貼り合わせて構成したことを特徴とする光電変換装置。



## 【特許請求の範囲】

【請求項1】 2次元的に配列された光電変換素子を搭載した基板の複数枚を、それぞれの該光電変換素子部が平面的に隣り合うように配列して貼り合わせて構成したことを特徴とする光電変換装置。

【請求項2】 前記基板は、複数の光電変換素子が平面的に配列された光電変換素子部が形成された辺と、該光電変換素子部に接続される回路部が形成された辺とを有し、該基板の複数枚を、それぞれの前記光電変換素子部が平面的に隙間なく隣り合うように配列して貼り合わせて構成したことを特徴とする請求項1記載の光電変換装置。

【請求項3】 前記基板は、該基板の隣り合う2つの辺に接するように形成された前記光電変換素子部と、他の隣り合う2つの辺の周辺に形成された前記光電変換素子部に接続される回路部とを有し、同一構成の4枚の前記基板を、各々平面上で90°回転させて配置し、前記光電変換素子部が平面的に隙間なく隣り合うように縦横2枚ずつ4枚を貼り合わせて構成した請求項2記載の光電変換装置。

【請求項4】 前記基板には、第1の電極層、絶縁層、光電変換半導体層、第1導電型のキャリアの注入を阻止する半導体層、及び第2の電極層を積層した光電変換素子を配列した光電変換素子部と、前記光電変換半導体層に入射した信号光により発生した第1導電型のキャリアを前記光電変換半導体層に留まらせ、前記第1導電型と異なる第2導電型のキャリアを前記第2の電極層に導く方向に前記光電変換素子に電界を与える光電変換手段と、前記光電変換素子に電界を与えて、前記第1導電型のキャリアを前記光電変換半導体層から前記第2の電極層に導く方向に前記光電変換素子に電界を与えるリフレッシュ手段と、前記光電変換手段による光電変換動作中に前記光電変換半導体層に蓄積された前記第1導電型のキャリアもしくは前記第2の電極層に導かれた前記第2導電型のキャリアを検出する為の信号検出部と、を有する請求項1～3のいずれか1項に記載の光電変換装置。

【請求項5】 前記光電変換素子の上部に蛍光体を配置し、X線レントゲン装置を構成した請求項1～4のいずれか1項に記載の光電変換装置。

【請求項6】 2次元に配列された光電変換素子アレイを有する基板を隣接して配した光電変換装置において、前記基板として同一構成の基板を4枚用いて、互いに90°回転させて縦横2枚ずつ貼り合わせたことを特徴とする請求項1記載の光電変換装置。

【請求項7】 前記光電変換装置の4辺には駆動回路が設けられている請求項6に記載の光電変換装置。

【請求項8】 前記駆動回路は、同一構成の複数の走査回路チップと、同一構成の複数の検出用回路チップである請求項7に記載の光電変換装置。

【請求項9】 前記光電変換装置の同一の辺に設けられた駆動回路の走査方向が互いに異なる請求項1又は6に記載の光電変換装置。

【請求項10】 前記光電変換装置の各辺にはそれぞれ走査回路と検出用回路とが設けられている請求項1又は6に記載の光電変換装置。

【請求項11】 それぞれ同一構成の複数のICチップで構成されている走査回路と検出用回路を有する請求項1又は6に記載の光電変換装置。

【請求項12】 前記4枚の基板のうち少なくとも1枚の基板上の光電変換素子の数が他の3枚の基板のうち少なくとも1枚と異なる請求項1又は6に記載の光電変換装置。

【請求項13】 前記4枚の基板のうち少なくとも1枚の基板上の光電変換素子アレイの平面的形状が他の3枚の基板のうち少なくとも1枚と異なる請求項1又は6に記載の光電変換装置。

【請求項14】 前記光電変換素子は、非単結晶半導体の受光部を有する請求項1又は6に記載の光電変換装置。

【請求項15】 前記光電変換素子は光変換体を有している請求項1又は6に記載の光電変換装置。

【請求項16】 前記光変換体は蛍光体である請求項1又は6に記載の光電変換装置。

【請求項17】 前記光電変換装置の各々の辺には、走査回路と検出用回路とが設けられている請求項1又は6記載の光電変換装置。

【請求項18】 前記光電変換装置の各々の辺には複数の走査回路チップと複数の検出用回路チップとが設けられている請求項1又は6記載の光電変換装置。

【請求項19】 基板上に隣り合う2つの辺に接するように形成された光電変換素子アレイ部と、他の隣り合う2つの辺の周辺に形成された該光電変換素子アレイ部に接続される駆動回路部が配置されており、かつ、前記光電変換素子アレイ部が平面的に隣り合うように、前記基板を縦横2枚ずつ4枚を貼り合わせて構成した光電変換装置において、前記基板のうち少なくとも1枚の基板の光電変換素子の数又は光電変換素子部の平面的な形状が、他の3枚のうちの少なくとも1枚の基板の光電変換素子の数又は光電変換素子アレイ部の平面的な形状と異なることを特徴とする請求項1記載の光電変換装置。

【請求項20】 前記光電変換装置の4辺には駆動回路が設けられている請求項19に記載の光電変換装置。

【請求項21】 前記駆動回路は、同一構成の複数の走査回路チップと、同一構成の複数の検出用回路チップである請求項20に記載の光電変換装置。

【請求項22】 前記光電変換装置の同一の辺に設けられた駆動回路の走査方向が互いに同じである請求項19に記載の光電変換装置。

【請求項23】 前記光電変換素子は、非単結晶半導体の受光部を有する請求項19に記載の光電変換装置。

【請求項24】 前記光電変換素子は光変換体を有している請求項19に記載の光電変換装置。

【請求項25】 前記光変換体は蛍光体である請求項19に記載の光電変換装置。

【請求項26】 前記光電変換装置の各辺には、走査回路と検出回路がそれぞれ設けられている請求項19記載の光電変換装置。

【請求項27】 前記走査回路は複数の同一構成の走査回路チップからなり、前記検出回路は複数の同一構成の検出回路チップからなる請求項19記載の光電変換装置。

【請求項28】 請求項1記載の光電変換装置と、高エネルギー線発生装置と、を有することを特徴とする撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光電変換装置に係わり、特に大面積の光電変換装置、例えばファクシミリ、デジタル複写機あるいはX線撮像装置等に用いられる2次元の光電変換装置に関するものである。

【0002】

【従来の技術】従来、ファクシミリ、デジタル複写機等の読み取り系としては、縮小光学系とCCD型センサを用いた読み取り系が用いられていたが、近年、アモルファスシリコン（以下、a-Siと記す）に代表される光電変換半導体材料の開発により、光電変換素子及び信号処理部を大面積の基板に形成し、情報源と等倍の光学系で読み取るいわゆる密着型センサの開発がめざましい。特にa-Siは光電変換材料としてだけでなく、薄膜電界効果型トランジスタ（以下TFTと記す）としても用いることができるので光電変換半導体層とTFTの半導体層とを同時に形成することができる利点を有している。

【0003】a-Siを用いた光電変換装置は、その基本構造が米国特許第4,376,888号明細書又は特公昭62-23944号或は特公昭63-66117号公報に記載されている。

【0004】a-Si光センサとa-Si TFTを一体的に形成する為の具体例は米国特許第4,931,661号、第5,338,690号、第5,306,648号の各明細書に記載されている。

【0005】本発明者らは、これら明細書に開示の技術を基に、画素数を大巾に増大させた2次元エリア型の光電変換装置を試作した。その光電変換装置の概略を図3、図2を参照して説明する。この装置はヨーロッパ特

許公開第0660421号公報に記載されている。

【0006】図3、図2に2000×2000個の画素を持つ光電変換装置を示す平面図を示す。2000×2000個の検出器を構成する場合、光電変換素子を縦・横方向にそれぞれ数を増やせばよいが、この場合、制御配線（走査線）もg1～g2000に示すように2000本になり信号配線（データ線）もsig1～sig2000に示すように2000本になる。また走査回路や検出用集積回路（検出用IC）も2000本の制御・処理をしなければならず大規模となる。これをそれぞれ1チップのICで行うことは1チップが非常に大きくなり製造時の歩留まりや価格等で不利である。そこで、図に示すように走査回路は例えば100段のシフトレジスタを1個のチップに形成し、20個の走査回路チップ（SR1-1～SR1-20）を使用すれば良い。また検出用集積回路も100個の処理回路を1個のチップに形成し、20個の検出用集積回路チップ（IC1～IC20）を使用する。

【0007】図3には左側（L）に20チップ（SR1-1～SR1-20）と下側（D）に20チップ実装し、1チップあたり100本の制御配線、信号配線をおのおのワイヤーボンディングでチップと接続している。図3中破線で囲まれる部分は2次元エリア状に配列された光電変換素子アレイ部分に相当する。また検出用集積回路の外部への接続は省略している。

【0008】図2には別の例が示されており、ここでは左側（L）に10チップ（SR1-1～SR1-10）と右側（R）に10チップ（SR1-11～SR1-20）と上側（U）に10チップ（IC1～10）、下側（D）に10チップ（IC11～20）を実装している。この構成は上・下・左・右側（U、D、L、R）にそれぞれ各配線を1000本ずつに振り分けているため、各辺の配線の密度が小さくなり、また各辺のワイヤーボンディングの密度も小さく、製造歩留まりが向上する。配線の振り分けは左側（L）にg1, g3, g5, …, g1999、右側（R）にg2, g4, g6, …, g2000とし、つまり奇数番目の制御配線を左側（L）、偶数番目の制御配線を右側（R）に振り分ける。こうすると各配線は等間隔に引き出され配線されるので密度の集中なく歩留まりが向上する。また、上側（U）下側（D）への配線も同様に振り分けられよい。

【0009】また、図示していないが、別の例として、配線の振り分けは左側（L）にg1～g100, g201～g300, …, g1801～g1900、右側（R）にg101～g200, g301～g400, …, g1901～g2000を振り分け、つまり、1チップごと連続な制御線を振り分け、これを左・右側（L・R）交互に振り分けることも考えられる。こうすると、1チップ内は連続に制御でき、駆動タイミングの調整や設定が容易で回路を複雑にしないでよく、安価なI

Cが使用できる上・下側(U・D)についても同様で、連続な処理が可能で安価なICが使用できる。

【0010】

【発明が解決しようとする課題】しかしながら、大面積の光電変換装置では、製造時の微小なちり、特にアモルファスシリコンなどの半導体層を基板に堆積する時に薄膜堆積装置の壁から剥れ出るゴミ、及びメタル層を基板に堆積する時に残っているほこりを完全になくすことが困難であったため、配線の不具合、即ち配線のショートまたはオープンゼロにすることは困難であった。

【0011】また、大面積の光電変換装置では、制御配線または信号配線がショートまたはオープンになると、その配線に接続されている光電変換素子の全ての出力信号が不正確なものとなり、光電変換装置としては使用不可能となるのである。

【0012】つまり、大面積の光電変換装置を作製する時の1枚の基板が大きくなればなるほど基板1枚あたりの歩留まりは低くなり、同時に基板1枚あたりの不具合による損失額も大きくなるのである。

【0013】又、一種類の基板サイズでは、それを貼り合わせて装置を構成する場合に、貼り合わせ後の大面積装置のサイズが元の基板サイズの2倍、4倍、6倍…というように倍数に制限される。

【0014】更に、又制御配線の選択順序(走査順序)を図2の矢印AL1に示す方向に設計しようとすると、図2の左側Lに配される各走査回路SR1-1~SR1-10の出力端子の配置順序と、図2の右側Rに配される各走査回路SR1-11~SR1-20の出力端子の配列順序と、が互いに逆になる。従って、左右両側に配される走査回路を同じ構造のICチップで作るとすると、左又は右側いずれか一方の接続線(制御配線と走査回路の出力端子とを接続する線)を多層配線等で構成しなければならない。こうなると、接続線の構造が複雑且つ高コストなものになり、又、走査回路の高密度実装を妨げる。

【0015】又、出力端子の配置順序を変えた2種類のICを用意して一方を左側に、他方を右側に配することもできるが、基本動作が同じであるにもかかわらず2種のICを製造することは高コスト化の原因になる。

【0016】このような問題は走査回路だけの問題ではなく読み出した信号を時系列に並べかえて出力する為の検出用IC(IC-1~IC-20)においても同様に生じる。

【0017】【発明の目的】よって、本発明の第1の目的は、大面積の光電変換装置を作製する時の基板1枚あたりの歩留まりを向上させ、かつ基板1枚あたりの不具合による損失額を小さくすることにより、結果的に大面積の光電変換装置のコストを低減することである。

【0018】また、本発明の第2の目的は、大面積の光電変換装置を作製する時の検査工程の効率の向上および

それに伴うスループット向上および部品点数の削減に伴う総合的なコストを低減することである。

【0019】本発明の第3の目的は、貼り合わせにより得られる装置のサイズの種類を増大しうる光電変換装置を提供することにある。

【0020】本発明の第4の目的は、駆動回路の種類を増やすことなく、又、接続を複雑にすることのない光電変換装置を提供することにある。

【0021】

【課題を解決するための手段】上記課題を解決するため、本発明は、以下の手段を有する。

【0022】[1] 2次元的に配列された光電変換素子を搭載した基板の複数枚を、それぞれの該光電変換素子部が平面的に隣り合うように配列して貼り合わせて構成したことを特徴とする光電変換装置。

【0023】[2] 前記基板は、複数の光電変換素子が平面的に配列された光電変換素子部が形成された辺と、該光電変換素子部に接続される回路部が形成された辺とを有し、該基板の複数枚を、それぞれの前記光電変換素子部が平面的に隙間なく隣り合うように配列して貼り合わせて構成したことを特徴とする[1]記載の光電変換装置。

【0024】[3] 前記基板は、該基板の隣り合う2つの辺に接するように形成された前記光電変換素子部と、他の隣り合う2つの辺の周辺に形成された前記光電変換素子部に接続される回路部とを有し、同一構成の4枚の前記基板を、各々平面上で90°回転させて配置し、前記光電変換素子部が平面的に隙間なく隣り合うように縦横2枚ずつ4枚を貼り合わせて構成した[2]記載の光電変換装置。

【0025】[4] 前記基板上には、第1の電極層、絶縁層、光電変換半導体層、第1導電型のキャリアの注入を阻止する半導体層、及び第2の電極層を積層した光電変換素子を配列した光電変換素子部と、前記光電変換半導体層に入射した信号光により発生した第1導電型のキャリアを前記光電変換半導体層に留まらせ、前記第1導電型と異なる第2導電型のキャリアを前記第2の電極層に導く方向に前記光電変換素子に電界を与える光電変換手段と、前記光電変換素子に電界を与えて、前記第1導電型のキャリアを前記光電変換半導体層から前記第2の電極層に導く方向に前記光電変換素子に電界を与えるリフレッシュ手段と、前記光電変換手段による光電変換動作中に前記光電変換半導体層に蓄積された前記第1導電型のキャリアもしくは前記第2の電極層に導かれた前記第2導電型のキャリアを検出する為の信号検出部と、を有する[1]~[3]のいずれかに記載の光電変換装置。

【0026】[5] 前記光電変換素子の上部に蛍光体を配置し、X線レントゲン装置を構成した[1]~[4]のいずれかに記載の光電変換装置。

【0027】[6] 2次元に配列された光電変換素子アレイを有する基板を隣接して配した光電変換装置において、前記基板として同一構成の基板を4枚用いて、互いに90°回転させて縦横2枚ずつ貼り合わせたことを特徴とする[1]記載の光電変換装置。

【0028】[7] 前記光電変換装置の4辺には駆動回路が設けられている[6]記載の光電変換装置。

【0029】[8] 前記駆動回路は、同一構成の複数の走査回路チップと、同一構成の複数の検出用回路チップである[7]記載の光電変換装置。

【0030】[9] 前記光電変換装置の同一の辺に設けられた駆動回路の走査方向が互いに異なる[1]又は[6]記載の光電変換装置。

【0031】[10] 前記光電変換装置の各辺にはそれぞれ走査回路と検出用回路とが設けられている[1]又は[6]記載の光電変換装置。

【0032】[11] それぞれ同一構成の複数のICチップで構成されている走査回路と検出用回路を有する[1]又は[6]記載の光電変換装置。

【0033】[12] 前記4枚の基板のうち少なくとも1枚の基板上の光電変換素子の数が他の3枚の基板のうち少なくとも1枚と異なる[1]又は[6]記載の光電変換装置。

【0034】[13] 前記4枚の基板のうち少なくとも1枚の基板上の光電変換素子アレイの平面的形状が他の3枚の基板のうち少なくとも1枚と異なる[1]又は[6]記載の光電変換装置。

【0035】[14] 前記光電変換素子は、非単結晶半導体の受光部を有する[1]又は[6]記載の光電変換装置。

【0036】[15] 前記光電変換素子は光変換体を有している[1]又は[6]記載の光電変換装置。

【0037】[16] 前記光変換体は蛍光体である[1]又は[6]記載の光電変換装置。

【0038】[17] 前記光電変換装置の各々の辺には、走査回路と検出用回路とが設けられている[1]又は[6]記載の光電変換装置。

【0039】[18] 前記光電変換装置の各々の辺には複数の走査回路チップと複数の検出用回路チップとが設けられている[1]又は[6]記載の光電変換装置。

【0040】[19] 基板上に隣り合う2つの辺に接するように形成された光電変換素子アレイ部と、他の隣り合う2つの辺の周辺に形成された該光電変換素子アレイ部に接続される駆動回路部が配置されており、かつ、前記光電変換素子アレイ部が平面的に隣り合うように、前記基板を縦横2枚ずつ4枚を貼り合わせて構成した光電変換装置において、前記基板のうち少なくとも1枚の基板の光電変換素子の数又は光電変換素子部の平面的な形状が、他の3枚のうちの少なくとも1枚の基板の光電変換素子の数又は光電変換素子アレイ部の平面的な形状

と異なることを特徴とする[1]記載の光電変換装置。

【0041】[20] 前記光電変換装置の4辺には駆動回路が設けられている[19]記載の光電変換装置。

【0042】[21] 前記駆動回路は、同一構成の複数の走査回路チップと、同一構成の複数の検出用回路チップである[20]記載の光電変換装置。

【0043】[22] 前記光電変換装置の同一の辺に設けられた駆動回路の走査方向が互いに同じである[19]記載の光電変換装置。

【0044】[23] 前記光電変換素子は、非単結晶半導体の受光部を有する[19]記載の光電変換装置。

【0045】[24] 前記光電変換素子は光変換体を有している[19]記載の光電変換装置。

【0046】[25] 前記光変換体は蛍光体である[19]記載の光電変換装置。

【0047】[26] 前記光電変換装置の各辺には、走査回路と検出用回路がそれぞれ設けられている[19]記載の光電変換装置。

【0048】[27] 前記走査回路は複数の同一構成の走査回路チップからなり、前記検出用回路は複数の同一構成の検出用回路チップからなる[19]記載の光電変換装置。

【0049】[28] [1]記載の光電変換装置と、高エネルギー線発生装置と、を有することを特徴とする撮像装置。

【0050】

【発明の実施の形態】

【作用】本発明によれば、作製する時の基板1枚あたりの歩留まりを向上させ、かつ基板1枚あたりの不具合による損失額は小さくすることができ、結果的に大面積の光電変換装置のコストを低減することができるという作用が得られる。

【0051】また、本発明によれば、検査工程の効率の向上及びそれに伴うスループットの向上及び部品点数の削減が可能となり、結果的に大面積の光電変換装置のコストをさらに低減することができるという作用が得られる。

【0052】また、本発明によれば、大きさの異なる基板を用いるので貼り合わせにより得られる装置のサイズの種類を増大できる。

【0053】また、本発明によれば、駆動回路の種類を増やしたり、接続を複雑にしないですむ。

【0054】また、光電変換素子の注入阻止層が一か所のみで光の入射量を検出することができ、プロセスの最適化が容易で、歩留まりの向上が図れ、製造コストの低減が可能で、SN比の高い低コストの光電変換装置を供給することができるという作用が得られる。

【0055】また、X線撮像装置に適用すれば出力を瞬時に写し出すことが可能となり、更に画像処理及びデータの保管も可能となる。又、感度もフィルムに比べて良

く、人体に影響の少ない微弱なX線で鮮明な画像を得ることができるという作用が得られる。

【0056】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0057】(第1の実施形態)図1は、本発明の第1の実施形態に係る光電変換装置の全体平面図である。なお、図3及び図2と同一機能の部分には同一符号を付してあり、説明を省略する場合がある。

【0058】図1に示す光電変換装置において特徴的な点は、4枚の基板の上に構成されている光電変換装置100、200、300、400の各々4枚をすき間ができるだけ小さくなるように貼り合わせることによって1つの大きな光電変換装置を構成している点である。

【0059】光電変換素子アレイを有する基板100の上には、光電変換素子が1000×1000個配置され(図中、斜線部)1000本の制御配線g1～g1000と1000本の信号配線sig1～sig1000の計2000本の配線と接続されている。走査回路SR1は100段ごとに1個のチップに集積化されており、基板100の上には、SR1-1～SR1-10の計10個の走査回路のチップが配置され制御配線g1～g1000と接続されている。

【0060】また、検出用集積回路も100個の処理回路ごとに1個のチップに集積化され、IC1～IC10の計10個の検出用ICチップが配置され信号配線sig1～sig1000と接続されている。

【0061】他の光電変換素子アレイを有する基板200、300、400においても基板100と同様であり、光電変換素子は1000×1000個配置されており、1000本の制御配線と1000本の信号配線により接続されている。また走査回路及び検出用集積回路も同様に10個ずつ配置されている。これらの走査回路及び検出用集積回路は各基板毎に異なるものを用いることもできるが、本発明においては後述するように同一のICチップを用いることが好ましい。また、4枚の光電変換装置において同時に走査することも可能であり、そのような場合は図3に示す例と比較すると1/4の走査時間を短縮することが可能となる。

【0062】図1において各基板上の走査方向は、走査回路SR1-1～SR1-10においては矢印100SSに示す方向であり、検出用回路IC-1～IC-10においては矢印100SIに示す方向である。

【0063】図1に示す装置は、全く同じ構成の光電変換素子アレイを有する基板が、互いに90°回転させて配置されて構成されている。即ち、左上の基板100に対して点PPを中心に時計回りに90°回転させると右上の基板100の位置となり、更に90°回転させると右下の基板100の位置になる。そして、時計回りに更に90°回転させると左下の基板100の位置になる。左下の基板100の位置は、換言すれば、左上の基板1

00の位置から点PPを中心に反時計回りに90°回転させた位置となっている。

【0064】又、大面積の光電変換装置の4辺の各辺には走査回路SR1-1～SR1-10と検出用回路IC-1～IC-10がそれぞれ設置されている。

【0065】図1の例では、各辺における走査回路の走査方向100SSと検出用回路の走査方向100SIの向きが反対向きであるが、いずれか一方の走査方向を逆にすれば各辺における走査方向は走査回路及び検出用回路共に同じ向きになる。各基板の検出用回路IC-1～IC-5から出力された信号は各基板に対応して設けられた4つのメモリ(不図示)にそれぞれ格納され、必要に応じて座標変換等を行って図1における物理的な画素の座標に対応させて処理すれば、入力された被写体の画像を表示装置等に再生できる。

【0066】走査回路は単一方向にシフトするシフトレジスタを有しており、そのシフトレジスタのシフト方向により走査方向が定められる。

【0067】検出用回路も単一方向にシフトするシフトレジスタを有しており、そのシフトレジスタのシフト方向により、信号の取り込み順序又は取り込んだ信号の出力順序(走査方向)が定められる。

【0068】本実施例によれば、走査回路及び検出用回路共にそれぞれ種類のICチップさえあれば光電変換装置の駆動回路を構成できるので、駆動回路のコストが高くない。

【0069】又、多層配線等を用いて、走査回路や検出用回路と、光電変換素子アレイの制御配線及び信号配線と、を接続する必要もなく、単純な結線により接続でき、コスト上昇が生じない。

【0070】各ICチップは、4つの基板を貼り合わせた後に、異方性導電性接着剤等で各基板と接続する方が各基板と接続してから各基板を貼り合わせる方法より望ましい。

【0071】4枚の光電変換素子アレイの基板をすき間なく貼り合わせて大面積の光電変換装置を構成することにより、基板1枚あたりの歩留まりは高くなり、同時に基板1枚あたりの不具合による損失額を小さくすることができる。

【0072】具体的には、図1の大面積光電変換装置における光電変換素子が配置してある面積と図3の光電変換装置における光電変換素子が配置してある面積が同じ場合、図1に示す各基板内のすべての制御配線とすべての信号配線の合計の長さは図3に示す光電変換装置内のすべての制御配線とすべての信号配線の合計の長さの約1/4となる。このような光電変換装置において制御配線及び信号配線のショートまたはオープンはその配線に接続されている光電変換素子のすべての出力信号が不正確なものとなるため、光電変換装置としては使用不可能になってしまう。そのため、すべての信号配線及びすべ

ての信号配線の合計の長さにはほぼ比例して上記のような不具合が生じ、歩留まりを下げるのである。

【0073】よって、図1に示す基板1枚あたりの配線の不具合による歩留まりは、図3に示す光電変換装置の約4倍となる。また、図1に示す基板1枚が不具合となり、使用不可能になった場合の損失額は、基板の面積にはほぼ比例するため、図3に示す光電変換装置において不具合を発生し使用不可能になった場合の損失額の約1/4となるのである。

【0074】また、光電変換素子の基板上には、図4(a)、図4(b)に示すように、第1の電極層2、絶縁層7、光電変換を行いうる半導体層4、第1導電型のキャリアの注入を阻止する半導体層5、及び第2の電極層6を積層した光電変換素子が設けられている。そして、この光電変換装置は前記半導体層5に入射した信号光により発生した第1導電型のキャリアを前記半導体層5に蓄積させ、前記第1導電型と異なる第2導電型のキャリアを前記第2の電極層6に導く方向に前記受光素子に電界を与える光電変換手段と、前記受光素子に電界を与えて、前記第1導電型のキャリアを前記半導体層から前記第2の電極層に導く方向に前記光電変換素子に電界を与えるリフレッシュ手段と、前記光電変換手段による光電変換動作中に前記半導体層に蓄積された前記第1導電型のキャリアもしくは前記第2の電極層に導かれた前記第2導電型のキャリアを検出する為の信号検出部と、を有している。

【0075】図4(a)、図4(b)において、S11は受光素子、T11はTFT、C11はコンデンサ、およびSIGは信号配線である。コンデンサC11と受光素子S11とを分離せず、受光素子S11とコンデンサC11とを一体的に形成している。これは受光素子とコンデンサとTFTとがほぼ同じ層構成であるから可能なことである。また、画素上部にはパッシベーション膜として窒化シリコン膜SiNが形成されている。上方より光が光電変換素子に入射すると電気信号(蓄積電荷量)に変換される。

【0076】(第2の実施形態)本発明の第2の実施形態に係る光電変換装置は図1に示すものと同じである。

【0077】本実施形態の光電変換装置において特徴的な点は、図1で説明した4枚の基板上の光電変換素子アレイ100がすべて同一の光電変換素子アレイ100で構成されており、かつ各々の光電変換素子アレイを有する基板4枚を同一平面内において90°ずつ回転させずき間なく貼り合わせることによって1つの大きな光電変換装置を構成している点である。同一構成のアレイは、同じ製造プロセスによって作製される。

【0078】基板100の上には、光電変換素子が1000×1000個配置され、1000本の制御配線g1～g1000と1000本の信号配線sig1～sig1000の計2000本の配線と接続されている。走査

回路SR1は100段ごとに1個のチップに集積化されており、基板100の上には、SR1-1～SR1-10の計10個のチップが配置され制御配線g1～g1000と接続されている。

【0079】また、検出用集積回路も100個の処理回路ごとに1個のチップに集積化され、IC1～IC10の計10個のチップが配置され信号配線sig1～sig1000と接続されている。これらの走査回路及び検出用集積回路は各基板毎に同じものを用いる。また、4枚の光電変換装置において同時に走査することも可能であり、そのような場合は図8に示す例と比較すると1/4の走査時間に短縮できる。

【0080】基板上に所定のパターンの光電変換素子及び配線を形成したものを4つ用意し、同一のシフトレジスタ及び検出用集積回路を実装し、その4枚の基板を各々90°ずつ回転させずき間なく貼り合わせて大面積の光電変換装置を構成することにより、部品点数の大幅な削減が可能となる。また、検査工程も1種類の装置で行うことが可能となり、検査工程の効率の向上及びそれに伴うスループットの向上が可能となる。その結果大面積の光電変換装置のコストを低減することが可能となる。

【0081】(第3の実施形態)図5は、本発明の第3の実施形態に係る光電変換装置の全体平面図である。なお図3乃至図1と同一機能の部分には同一符号を付してあり、説明を省略する場合がある。

【0082】図5に示す光電変換装置において特徴的な点は、4つの光電変換素子アレイの基板の各々の光電変換素子部の光電変換素子数及び/又は光電変換素子部の平面的な形状が互いに異なっていることである。

【0083】具体的には図1の右上の基板と図5の右上の基板220の相違点は光電変換素子数が1000個×1000個から700個×1000個になった点であり、それに伴ない信号配線が1000本から700本へ減少し、検出用集積回路が10個から7個へ減少している。

【0084】同様に図1の左下の基板と図5の左下の基板440の相違点は光電変換素子数が1000個×1000個から1000個×700個になった点であり、それに伴ない制御配線が、1000本から700本へ減少し、走査回路が10個から7個へ減少している。

【0085】同様に図1の右下の基板と図5の右下の基板330の相違点は、光電変換素子数が1000個×1000個から700個×700個になった点であり、それに伴ない信号配線及び制御配線が1000本から700本へ共に減少し、検出用集積回路及び走査回路が共に10個から7個へ減少している。

【0086】このように4枚の基板のうちの一部の基板の光電変換素子アレイ部の光電変換素子数及び/又は光電変換素子アレイ部の平面的な形状を変更することにより、4枚貼り合わせて構成した光電変換装置の全体的な



光電変換素子部の面積又は形状を変更する事が可能となる。

【0087】即ち、4枚貼り合わせて光電変換装置を構成する場合、通常は標準的な大きさの光電変換素子アレイを有する基板を4枚作製し、それらを貼り合わせるのであるが、4枚貼り合わせた時の全体的な光電変換部の大きさが小さいものや大きいもの、又は全体的な光電変換部の形状が異なるものが必要な時は、4枚の基板のうち1枚又は2枚又は3枚だけを新たに作製し、それを標準的な光電変換素子アレイを有する基板と入れ替えることで、所望の4枚貼り合わせの光電変換装置を構成することが可能になる。

【0088】具体的な例として、図1に示した光電変換装置を標準的な成人用のX線装置の読み取り部として用いる事が考えられるが、そういう場合、図5の小型化した装置を小児用のX線装置の読み取り部として用いる事ができる。

【0089】以上のように、4枚貼り合わせた場合の全体的な光電変換部の形状が異なった光電変換装置を形成する場合、4枚の光電変換装置全てを新たに作製することなく、一部の光電変換装置を新たに作製することにより所望とする光電変換装置を構成することができる。

【0090】これにより、各光電変換装置の設計及び部品コスト及び検査コストを低減する事が可能になり、総合的な製品コストを下げる事が可能になる。

【0091】(第4の実施形態) 第4の実施形態としては、上記した第1乃至第3の各実施形態の光電変換素子の上部に蛍光体を配置し、X線レントゲン装置を構成したものである。

【0092】基板上の構成は、前述した図4(b)の光入射側にX線等の高エネルギー線を吸収し可視光を発生する蛍光体の層を設けたものである。それを図6に示す。パッシベーション膜SiN上に蛍光体としての蛍光体を配している。この蛍光体としてはヨウ化セシウム(CsI)が挙げられ、X線を受光すると蛍光を発生する。この蛍光を受光素子S11で光電変換する。例えば縦横1mmあたり5×5個の画素を2000×2000個の画素として2次元的に配置すれば40cm×40cmのX線検出器が得られる。

【0093】これをX線フィルムの代わりにX線発生器と組み合わせX線レントゲン装置を構成すれば胸部レントゲン検診や乳ガン検診に使用できる。するとフィルムと異なり瞬時にその出力をCRTで写し出すことが可能で、さらに出力をデジタルに変換しコンピュータで画像処理して目的に合わせた出力に変換することも可能である。また光磁気ディスクに保管もでき、過去の画像を瞬時に検索することもできる。また感度もフィルムより良く人体に影響の少ない微弱なX線で鮮明な画像を得ることもできる。

【0094】次に、図7、図8を参照して本発明に用い

られる光電変換素子アレイの駆動法について説明する。ここでは1チップの走査回路による走査線数を3、1チップの検出用ICによるデータ線数を3として3×3マトリクスの光電変換素子アレイを駆動する場合を例に挙げるが、走査回路ICと検出用ICとを10個づつ用い走査線を1000本、データ線を1000本、光電変換素子を1000×1000マトリクスとすれば、図1の1つの基板の走査・検出が行えることは明らかである。

【0095】図7は、本発明の光電変換装置の駆動方法を説明する為の回路図である。各光電変換素子(画素)の構成としては図4(a)、図4(b)、図6に示したものと同一構造を採用できる。

【0096】図7において、S11～S33は受光素子で下部電極側をG、上部電極側をDで示している。C11～C33は蓄積用コンデンサ、T11～T33は転送用TFTである。Vsは読み出し用電源、Vgはリフレッシュ用電源であり、それぞれスイッチSWs、SWgを介して全光電変換素子S11～S33のG電極に接続されている。スイッチSWsはインバータを介して、スイッチSWgは直接にリフレッシュ制御回路RFに接続されており、リフレッシュ期間はスイッチSWgがonするよう制御されている。1画素は1個の受光素子とコンデンサ、およびTFTで構成され、その出力信号は信号配線SIGを介して検出用集積回路ICに出力される。

【0097】図7中の破線で囲んだ部分は大面積の同一絶縁基板上に形成されている。

【0098】図8は図7の動作を示すタイミングチャートである。

【0099】はじめに走査回路SR1およびSR2により制御配線g1～g3、s1～s2にハイレベルのパルスが印加される。すると転送用TFT・T11～T33とスイッチM1～M3がオンし導通し、全受光素子S11～S33のD電極は基準電位としてのGND電位になる(積分検出器Ampの入力端子はGND電位に設計されているため)。同時にリフレッシュ制御回路RFがハイレベルのパルスを出しスイッチSWgがオンし全受光素子S11～S33のG電極はリフレッシュ用電源Vgにより正電位になる。すると全受光素子S11～S33はリフレッシュモードになりリフレッシュされる。つぎにリフレッシュ制御回路RFがローレベルのパルスを出しスイッチSWsがオンし全受光素子S11～S33のG電極は読み取り用電源Vsにより負電位になる。すると全受光素子S11～S33は光電変換モードになり同時にコンデンサC11～C33は初期化される。この状態で走査回路SR1およびSR2により制御回路g1～g3、s1～s2にローレベルのパルスが印加される。すると転送用TFT・T11～T33のスイッチM1～M3がオフし、全受光素子S11～S33のD電極はDC的にはオープンになるがコンデンサC11～C33

3によって電位は保持される。

【0100】しかし、この時点では光線は入射されていないため、全受光素子S11～S33には光は入射されず光電流は流れない。この状態で光線がパルスの出射され被写体を介して受光素子S11～S33に入射する。この光により流れた光電流は電荷としてそれぞれのコンデンサC11～C33に蓄積され光線の入射終了後も保持される。

【0101】つぎに、走査回路SR1により制御配線g1にハイレベルの制御パルスが印加され、走査回路SR2の制御配線s1～s3への制御パルス印加によって転送用TFT・T11～T33のスイッチM1～M3を通してv1～v3が順次出力される。同様に走査回路SR1、SR2の制御により他の光信号も順次出力される。2次元の光情報が電気信号に変換されてv1～v9として得られる。静止画像を得る場合はここまでの動作であるが動画画像を得る場合はここまでの動作を繰り返す。

【0102】この光電変換装置では受光素子のG電極が共通に接続され、この共通の配線をスイッチSWgとスイッチSWsを介してリフレッシュ用電源Vgと読み取り用電源Vsに接続して、G電極の電位に制御している為、全光電変換素子を同時にリフレッシュモードと光電変換モードとに切り換えることができる。このため複雑な制御なくして1画素あたり1個のTFTで光出力を得ることができる。

【0103】従来のX線レントゲン装置におけるX線フィルムに代えて本発明の光電変換装置をX線発生器と組み合わせ用いれば新規なX線レントゲン装置となる。

【0104】これは胸部レントゲン検診や乳ガン検診に使用できる。するとフィルムと異なり瞬時にその出力をCRTで映し出すことが可能で、さらに出力をデジタルに変換しコンピュータで画像処理して目的に合わせた出力に変換することも可能である。また光磁気ディスクに保管もでき、過去の画像を瞬時に検索することもできる。また感度もフィルムより良く人体に影響の少ない微弱なX線で鮮明な画像を得ることもできる。

【0105】又、本発明の光電変換装置に用いられる受光素子としては、光導電素子や光起電力素子が用いられるが、以下に述べる理由により、図4(a)、図4(b)、図6に示したような光電変換素子が好ましく用いられる。

【0106】図9(a)～(c)は受光素子としての光センサの構成を示す図であり、図9(a)、(b)は二種類の光センサの層構成を示し、図9(c)は共通した代表的な駆動方法を示している。図9(a)、(b)共にフォト・ダイオード型の光センサであり、図9(a)はPIN型、図9(b)はショットキー型と称されている。

【0107】図9(a)、(b)中、1は絶縁基板、2は下部電極、3はp型半導体層(以下p層と記す)、4

は真性半導体層(以下i層と記す)、5はn型半導体層(以下n層と記す)6は透明電極である。図9(b)のショットキー型では下部電極2の材料を適当に選び、下部電極2からi層4に電子が注入されないようショットキーバリア層が形成されている。図9(c)において、10は上記光センサを記号化して表わした光センサを示し、11は電源、12は電流アンプ等の検出部を示している。光センサ10中Cで示された方向は図9(a)、(b)中の透明電極6側、Aで示された方向が下部電極2側であり、電源11はA側に対しC側に正の電圧が加わる様に設定されている。

【0108】ここで動作を簡単に説明する。図9(a)、(b)に示されるように、矢印で示された方向から光が入射され、i層4に達すると、光は吸収され電子とホールが発生する。i層4には電源11により電界が印加されているため電子はC側、つまりn層5を通過して透明電極6に移動し、ホールはA側つまり下部電極2に移動する。よって、光センサ10に光電流が流れたことになる。また、光が入射しない場合i層4で電子もホールも発生せず、また、透明電極内6のホールはn層5がホールの注入阻止層として働き、下部電極2内の電子は図9(a)のPIN型ではp層3が、図9(b)のショットキー型ではショットキーバリア層が、電子の注入阻止層として働き、電子、ホール共に移動できず、電流は流れない。したがって光の入射の有無で電流が変化し、これを図9(c)の検出部12で検出すれば光センサとして動作する。

【0109】しかしながら、上記光センサでSN比が高く、低コストの光電変換装置を生産するのは困難であった。以下その理由について説明する。

【0110】第1の理由は、図9(a)のPIN型、図9(b)のショットキー型は共に2ヵ所に注入阻止層が必要となるにある。図9(a)のPIN型において注入阻止層であるn層5は電子を透明電極6に導くと同時にホールがi層4に注入するのを阻止する特性が必要である。どちらかの特性を逸すれば光電流が低下したり、光が入射しない時の電流(以下暗電流と記す)が発生、増加することになりSNの低下の原因になる。この暗電流はそれ自身がノイズと考えられると同時にショットノイズと呼ばれるゆらぎ、いわゆる量子ノイズを含んでおり、たとえ検出部12で暗電流を差し引く処理をしても、暗電流に伴う量子ノイズを小さくすることはできない。通常この特性を向上させるためi層4やn層5の成膜の条件や、作成後のアニールの条件の最適化を図る必要がある。しかし、もう一つの注入阻止層であるp層3についても電子、ホールが逆ではあるが同等の特性が必要であり、同様に各条件の最適化が必要である。通常、前者n層の最適化と後者p層の最適化の条件は同一でなく、両者の条件を同時に満足させるのは困難である。つまり、同一光センサ内に2ヵ所の注入阻止層が必要なこ

とは高SN比の光センサの形成を困難にする。

【0111】これは図9(b)のショットキー型においても同様である。また図9(b)のショットキー型においては片方の注入阻止層にショットキーバリア層を用いているが、これは下部電極2とi層4の仕事関数の差を利用するもので、下部電極2の材料が限定されたり、界面の局在準位の影響が特性に大きく影響し、条件を満足させるのはさらに困難である。また、さらにショットキーバリア層の特性を向上させるために、下部電極2とi層4の間に100オングストローム前後の薄いシリコンや金属の酸化膜、窒化膜を形成することも報告されているが、これはトンネル効果を利用し、ホールを下部電極2に導き、電子のi層4への注入を阻止する効果を向上させるもので、やはり仕事関数の差を利用しているため下部電極2の材料の限定は必要であるし、電子の注入の阻止とトンネル効果によるホールの移動という逆の性質を利用するため酸化膜や窒化膜は100オングストローム前後と非常に薄いところに限定され、かつ、厚さや膜質の制御は難しく生産性を低下させられる。

【0112】また、注入阻止層が2ヵ所必要なことは生産性を低下させコストもアップする。これは注入阻止層が特性上必要な為2ヵ所中1ヵ所でもゴミ等で欠陥が生じた場合、光センサとしての特性が得られないからである。

【0113】図2の理由を図10を用いて説明する。図10は薄膜の半導体膜で形成した電界効果型トランジスタ(TFT)の層構成を示している。TFTは光電変換装置を形成するうえで制御部の一部として利用することがある。図中図9と同一なものは同番号で示してある。図10において、7はゲート絶縁膜であり、60は上部電極である。形成法を順を追って説明する。絶縁基板1上にゲート電極(G)として働く下部電極2、ゲート絶縁膜7、i層4、n層5、ソース、ドレイン電極(S、D)として働く上部電極60を順次成膜し、上部電極60をエッチングしてソース、ドレイン電極を形成し、その後n層5をエッチングしてチャネル部を構成している。TFTの特性はゲート絶縁膜7とi層4の界面の状態に敏感で通常その汚染を防ぐために同一真空内で連続に堆積する。

【0114】従来の光センサをこのTFTと同一基板上に形成する場合、この層構成が問題となりコストアップや特性の低下を招く。この理由は図9に示した光センサの構成が、図9(a)のPIN型が電極/p層/i層/n層/電極、図9(b)のショットキー型が電極/i層/n層/電極という構成であるのに対し、TFTは電極/絶縁膜/i層/n層/電極という構成で両者が異なるからである。これは同一プロセスで形成できないことを示し、プロセスの複雑化による歩留まりの低下、コストアップを招く。また、i層/n層を共通化するにはゲート絶縁膜7やp層3のエッチング工程が必要となり、先

に述べた光センサの重要な層である注入阻止層のp層3とi層4が同一真空内で成膜できなかったり、TFTの重要なゲート絶縁膜7とi層4の界面がゲート絶縁膜のエッチングにより汚染され、特性の劣化やSN比の低下の原因になる。

【0115】また、前述した図9(b)のショットキー型の特性を改善するため下部電極2とi層4の間に酸化膜や窒化膜を形成したものは膜構成の順は同一であるが先に述べたように酸化膜や窒化膜は100オングストローム前後である必要がありゲート絶縁膜と共用することは困難である。

【0116】図11に、ゲート絶縁膜とTFTの歩留まりについて、我々が実験した結果を示す。ゲート絶縁膜厚が1000オングストローム以下で歩留まりは急激に低下し、800オングストロームで歩留まりは約30%、500オングストロームで歩留まりは0%、250オングストロームではTFTの動作すら確認できなかった。トンネル効果を利用した光センサの酸化膜や窒化膜と、電子やホールを絶縁しなければならないTFTのゲート絶縁膜を共用化することは明らかに困難であり、これをデータが示している。

【0117】またさらに、図示していないが電荷や電流の積分値を得るのに必要となる素子である容量素子(以下コンデンサと記す)を光センサと同一の構成でリークが少ない良好な特性のものを作るのは難しい。コンデンサは2つの電極間に電荷を蓄積するのが目的なため電極間の中間層には必ず電子とホールの移動を阻止する層が必要であるのに対し、従来の光センサは電極間に半導体層のみ利用しているため熱的にリークの少ない良好な特性の中間層を得るのは難しいからである。

【0118】このように光電変換装置を構成するうえで重要な素子であるTFTやコンデンサとプロセス的にまたは特性的にマッチングが良くないことは複数の光センサを2次元に多数配置し、この光信号を順次検出するようなシステム全体を構成するうえで工程が多くかつ複雑になるため歩留まりが非常に悪く、低コストで高性能多機能な装置を作るうえで問題になる。

【0119】

【発明の効果】以上、説明したように、本発明によれば、作製する時の基板1枚あたりの歩留まりを向上させ、かつ基板1枚あたりの不具合による損失額は小さくすることができ、結果的に大面積の光電変換装置のコストを低減することができるという効果が得られる。

【0120】また、本発明によれば、検査工程の効率の向上及びそれに伴うスループットの向上及び部品点数の削減が可能となり、結果的に大面積の光電変換装置のコストをさらに低減することができるという効果が得られる。

【0121】また、本発明によれば、大きさの異なる基板を用いるので貼り合わせにより得られる装置のサイズ

の種類を増大できるという効果が得られる。

【0122】また、本発明によれば、駆動回路の種類を増やしたり、接続を複雑にしないですむという効果が得られる。

【0123】また、本発明によれば、光電変換素子の注入阻止層が一か所のみで光の入射量を検出することができ、プロセスの最適化が容易で、歩留まりの向上が図れ、製造コストの低減が可能で、SN比の高い低コストの光電変換装置を供給することができるという効果が得られる。

【0124】また、本発明によれば、本発明の光電変換装置をX線撮像装置に適用すれば、出力を瞬時に写し出すことが可能となり、更に画像処理及びデータの保管も可能となる。又、感度もフィルムに比べて良く、人体に影響の少ない微弱なX線で鮮明な画像を得ることができるという効果が得られる。

【0125】また、本発明によれば、走査回路及び検出回路共にそれぞれ一種のICチップさえあれば光電変換装置の駆動回路を構成できるので、駆動回路のコストが高くないという効果が得られる。

【0126】また、本発明によれば、多層配線等を用いて、走査回路や検出回路と、光電変換素子アレイの制御配線及び信号配線と、を接続する必要もなく、単純な結線により接続でき、コスト上昇が生じないという効果が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る光電変換装置の全体平面図である。

【図2】2000×2000個の画素を持つ光電変換装

置を示す平面図である。

【図3】2000×2000個の画素を持つ光電変換装置を示す平面図である。

【図4】光電変換素子の基板上的構成を示す平面図(a)及び断面図(b)である。

【図5】本発明の第3の実施形態に係る光電変換装置の全体平面図である。

【図6】本発明の第4の実施形態として、第1乃至第3の各実施形態の光電変換素子の上部に蛍光体を配置し、X線レントゲン装置を構成した例を示す断面模式図である。

【図7】本発明の光電変換装置の駆動方法を説明する為の回路図である。

【図8】図7の動作を示すタイミングチャートである。

【図9】光センサの層構成と、代表的な駆動方法を示す図である。

【図10】薄膜の半導体膜で形成した電界効果型トランジスタ(TFT)の層構成を示す図である。

【図11】ゲート絶縁膜とTFTの歩留まりの実験結果を示す図である。

【符号の説明】

100、200、300、400 光電変換装置(基板)

g1~g1000 制御配線

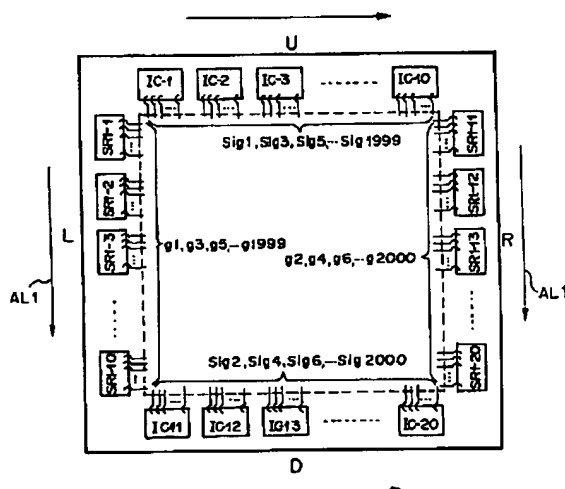
sig1~sig1000 信号配線

SR1-1~SR1-10 走査回路チップ

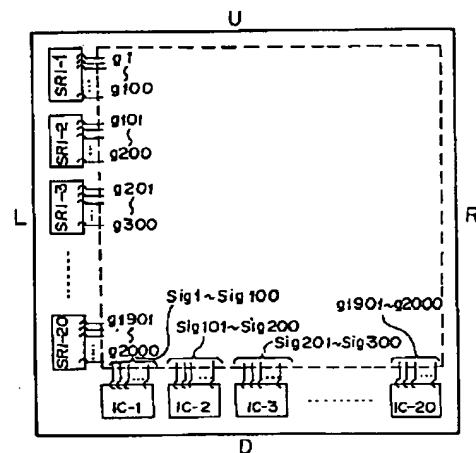
IC1~IC10 検出用ICチップ

100SI、100SS 走査方向

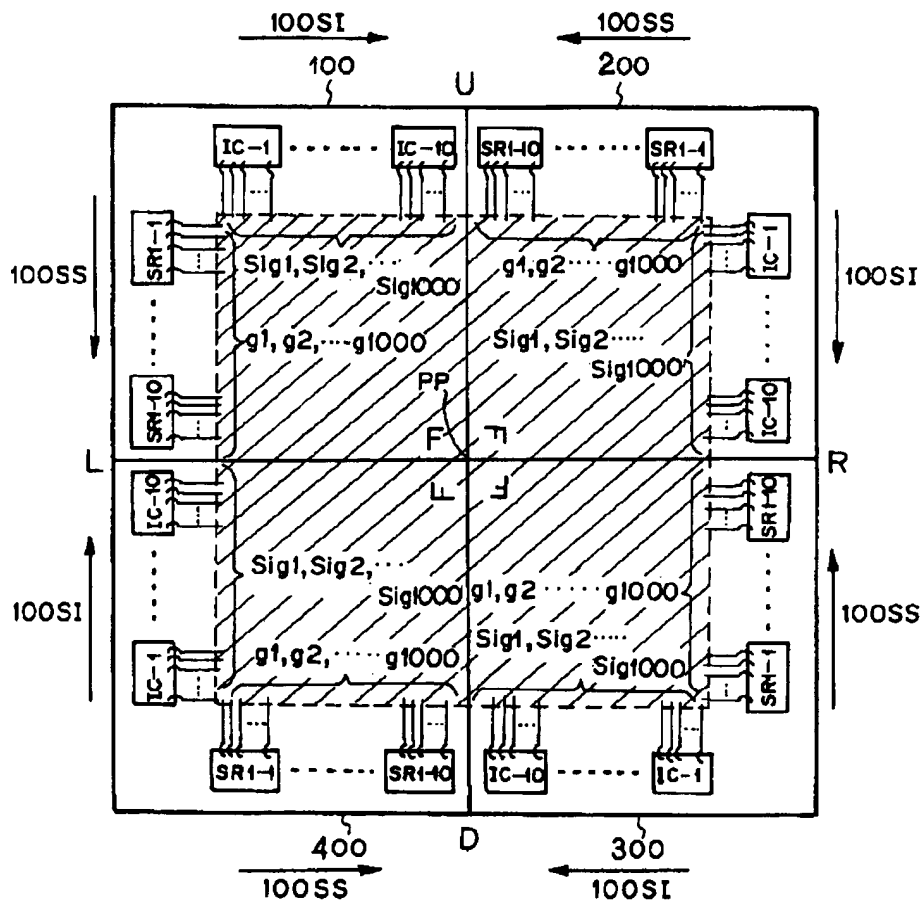
【図2】



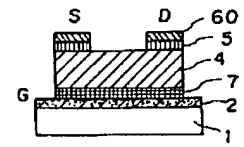
【図3】



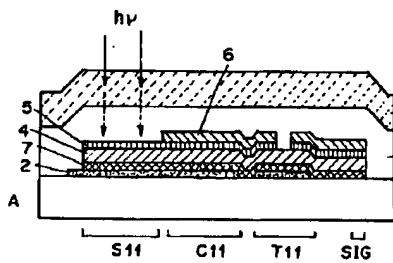
【図1】



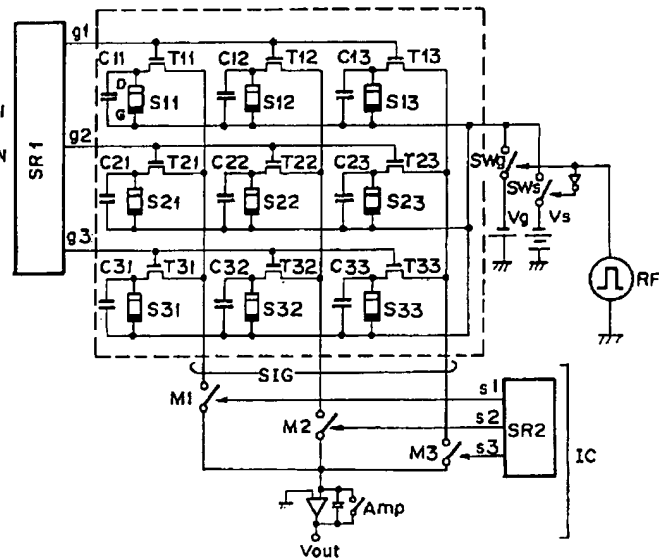
【図10】



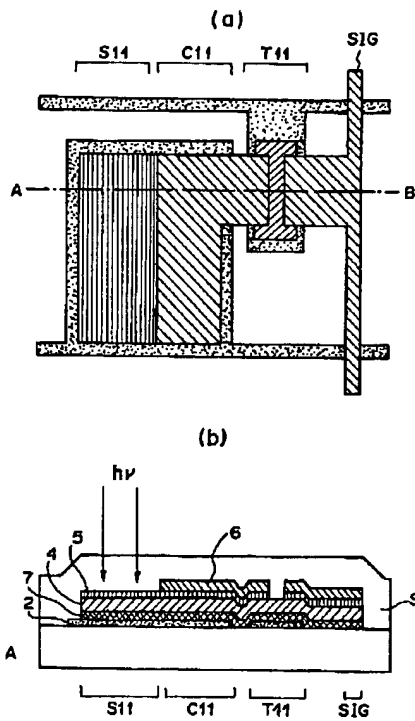
【図6】



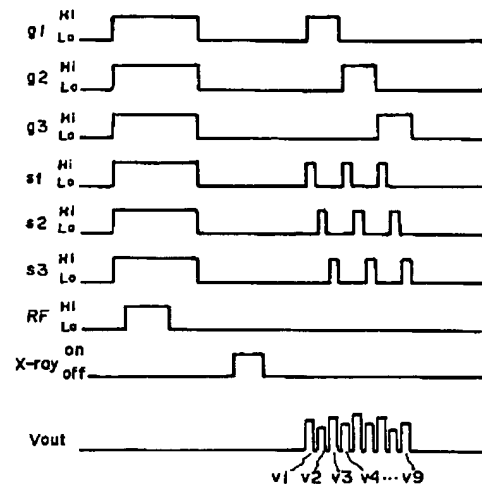
【図7】



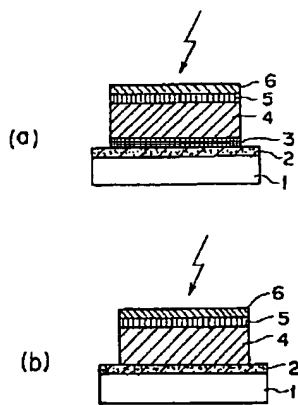
【図4】



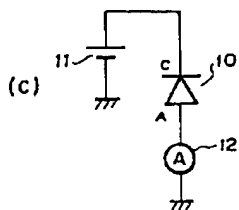
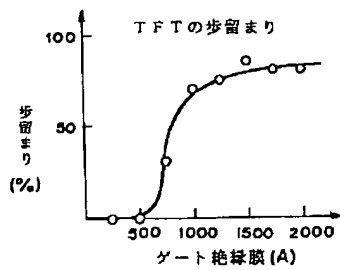
【図8】



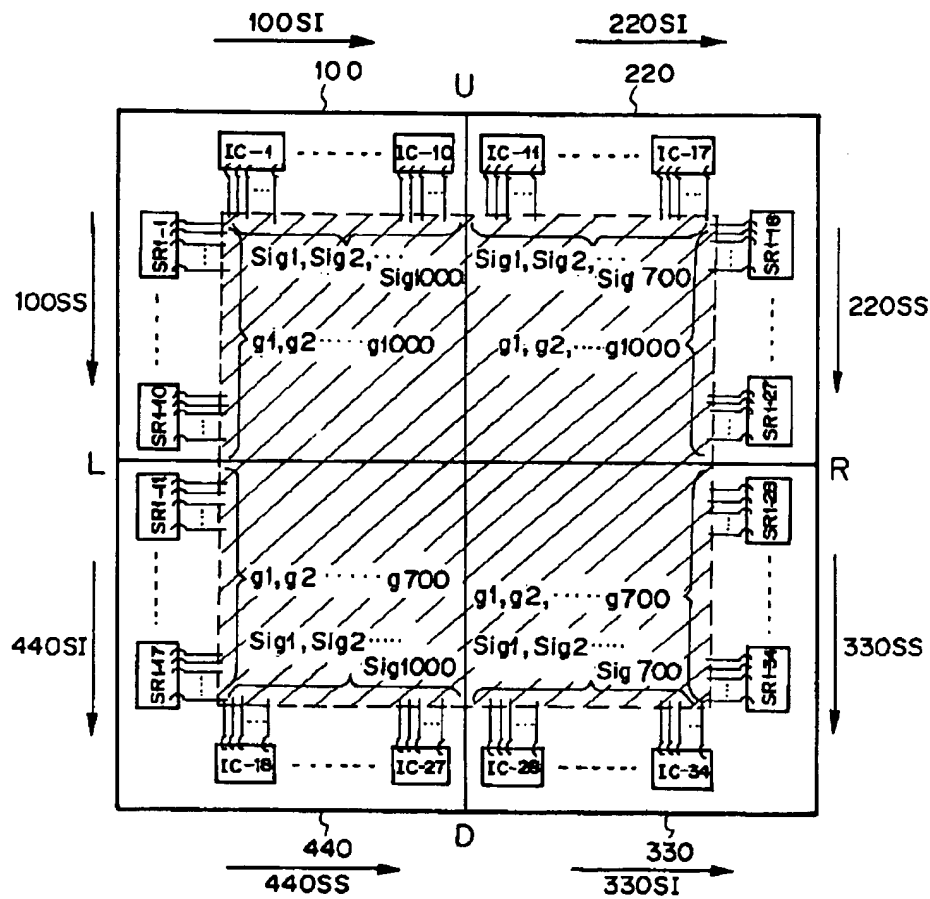
【図9】



【図11】



【図5】



フロントページの続き

(51)Int.Cl.<sup>6</sup>

H04N 1/028

5/335

識別記号

庁内整理番号

FI

H01L 27/14

31/02

31/10

技術表示箇所

K

B

A

(72)発明者 亀島 登志男

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 遠藤 忠夫

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 竹田 慎市

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内